

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-074175  
 (43)Date of publication of application : 17.03.1995

(51)Int.CI. H01L 21/3205

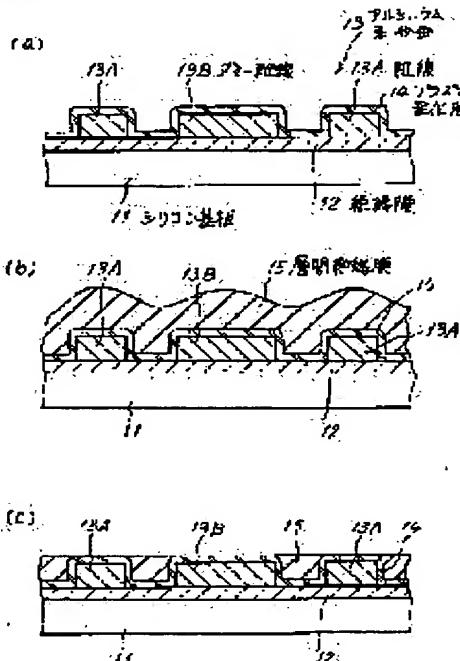
(21)Application number : 05-237269 (71)Applicant : NEC CORP  
 (22)Date of filing : 31.08.1993 (72)Inventor : UENO HISASHI

## (54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

### (57)Abstract:

**PURPOSE:** To make it possible to flatten a multiplayer wiring structure by a CMP method (polishing method) with high reliability.

**CONSTITUTION:** A film of wiring material 13 is formed on an insulating film 12 on a silicon substrate 11, and the wiring material 13 is patterned to form traces 13A. At the same time dummy traces 13B are formed in larger regions between the traces 13A. A plasma nitride film 14 is formed on the surface of the traces 13A and the dummy traces 13B, and an layer insulating film 15 is formed thereon. The layer insulating film 15 is polished by a polishing method to expose the plasma nitride film 14. Forming the dummy traces 13B increases the area of the plasma nitride film 14, and thus enhances its function as a stopper in polishing. This prevents the layer insulating film 15 and so on from being excessively polished during flattening operation.



## LEGAL STATUS

[Date of request for examination] 16.03.1994

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2555947

[Date of registration] 05.09.1996

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right] 05.09.2002

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-74175

(43) 公開日 平成7年(1995)3月17日

(51) Int.Cl.<sup>6</sup>

識別記号

庁内整理番号

F I

技術表示箇所

H 01 L 21/3205

H 01 L 21/ 88

K

S

審査請求 有 請求項の数4 FD (全6頁)

(21) 出願番号 特願平5-237269

(22) 出願日 平成5年(1993)8月31日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 上野 久史

東京都港区芝五丁目7番1号 日本電気株式会社内

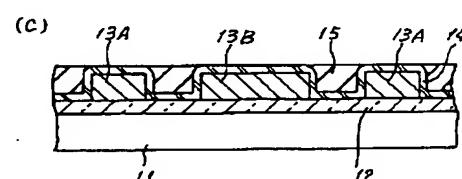
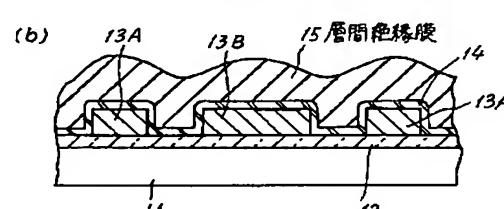
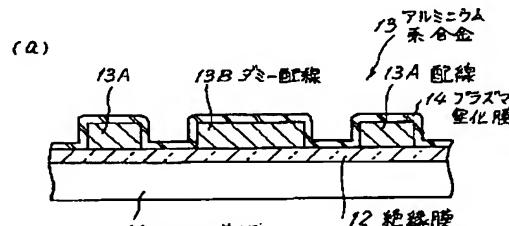
(74) 代理人 弁理士 鈴木 章夫

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【目的】 CMP法(研磨法)による多層配線構造の平坦化を高信頼度に実現可能とする。

【構成】 シリコン基板11上の絶縁膜12上に配線材料13を成膜し、この配線材料13をパターニングして配線13Aを形成し、これと同時に配線13Aの間隔が大きな領域にダミー配線13Bを形成する。そして配線13A及びダミー配線13Bの表面にプラズマ窒化膜14を形成し、かつその上に層間絶縁膜15を成膜し、その後にプラズマ窒化膜14が露出されるまで層間絶縁膜15を研磨法を用いて研磨する。ダミー配線13Bによりプラズマ窒化膜14の面積が増大し、研磨のストップ機能を高め、層間絶縁膜15等の過度の研磨が防止され、平坦化が実現される。



**【特許請求の範囲】**

【請求項1】 絶縁膜上に所要パターンに形成された配線と、これら配線間の領域の前記絶縁膜上に前記配線と同一材料で形成されたダミー配線と、前記配線及びダミー配線の少なくとも上面に形成されたトップ膜と、前記配線とダミー配線との間の領域の前記絶縁膜上に形成された前記配線及びダミー配線と略等しい厚さの層間絶縁膜とで構成され、前記トップ膜の研磨レートは前記層間絶縁膜の研磨レートに比較して大きいことを特徴とする半導体装置。

【請求項2】 ストップ膜は配線及びダミー配線の上面にのみ形成されてなる請求項1の半導体装置。

【請求項3】 絶縁膜上に配線材料を成膜する工程と、この配線材料をパターニングして配線とダミー配線を形成する工程と、前記配線及びダミー配線を含む基板全面にトップ膜を成膜する工程と、前記トップ膜上に層間絶縁膜を成膜する工程と、前記トップ膜が露出されるまで前記層間絶縁膜を研磨法を用いて研磨する工程を含むことを特徴とする半導体装置の製造方法。

【請求項4】 絶縁膜上に配線材料を成膜する工程と、この配線材料の上にトップ膜を成膜する工程と、前記トップ膜と配線材料をパターニングして配線とダミー配線を形成する工程と、前記絶縁膜上の全面に層間絶縁膜を成膜する工程と、前記トップ膜が露出されるまで前記層間絶縁膜を研磨法を用いて研磨する工程を含むことを特徴とする半導体装置の製造方法。

**【発明の詳細な説明】**

**【0001】**

【産業上の利用分野】 本発明は多層配線構造の平坦化を図った半導体装置及びその製造方法に関する。

**【0002】**

【従来の技術】 超LSLでは多層配線構造は必須のものとされているが、この多層配線構造においては上層配線になるほど表面の平坦性が損なわれて絶対段差が大きくなり、リソグラフィ工程における焦点深度のマージンが小さくなり、微細配線の形成が困難になるという問題がある。そこで、4層以上の多層配線にはグローバルな完全平坦化が必要不可欠であり、その解決法として絶縁膜または金属膜を研磨する方法、即ちCMP(Chemical Mechanical Polish)法が注目されている。このCMP法は、シリカ粒子を含む研磨液(スラリー)という)を注ぎながら定盤に貼付けた研磨パッドにウェハを押しつけ、ウェハに荷重をかけながら定盤を回転させて、ウェハ表面の凸部のみを選択的に研磨する方法である。この方法では、研磨パッドの磨耗による研磨レートの劣化のため、研磨の終点を時間でコントロールすることは極めて難しい。

【0003】 その解決策としてさまざまな手法が考えられ、実用化されているが、その中の一つに被研磨材料より研磨レートの遅い材料をトップに用いることが考え

られている。そのトップを用いた方法を図3を用いて説明する。先ず、図4(a)のように、シリコン基板31の表面に設けた絶縁膜32上にアルミニウム系合金33をスパッタ法を用いて成膜し、通常のリソグラフィ工程及びエッチング工程を用いてアルミニウム系合金33をパターニングし、配線33Aを形成する。次いで、全面にプラズマ窒化膜34をCVD法で成膜する。

【0004】 その上で、図4(b)のように、層間絶縁膜(SiO<sub>2</sub>)35を全面に成膜する。そして、図4(c)のように、CMP法を用いて前記層間絶縁膜35を研磨し、配線33Aのプラズマ窒化膜34が露出するまで研磨を行う。この露出したプラズマ窒化膜34の研磨レートは層間絶縁膜35の約1/5であるため、研磨のトップとして働き、配線33Aと略同じ厚さの均一な層間絶縁膜35を形成でき、多層配線構造の完全平坦化に有効となる。

**【0005】**

【発明が解決しようとする課題】 しかしながら、この方法では、基板面内での研磨ルートのばらつきを考えて多少多めに研磨したときには、図5に示すように配線33Aの間隔の比較的広い部分では、トップとしてのプラズマ窒化膜34が存在していないため、この部分の研磨が進行されて層間絶縁膜35にへこみ35aが生じ、平坦化を図る上で好ましくない状態となる。

【0006】 また、図6(a)のように、配線33Aが孤立している場合には、配線33A上のプラズマ窒化膜34の面積が小さいため、トップとしての機能が低下され、層間絶縁膜35と共に研磨され、配線33A自身も研磨されてしまうことがある。即ち、CMP法は原理上、ウェハの凸部分を選択的に研磨することから、層間絶縁膜35を研磨していくと、プラズマ窒化膜34が露出し、さらに研磨すると最初は1:5の割合で層間絶縁膜35が速く研磨されるが、やがて配線33A上のプラズマ窒化膜34が研磨され始め、図6(b)のように配線33Aが研磨されてしまう。本発明の目的は、CMP法による研磨に対して平坦化に有効な半導体装置を提供することにある。また、本発明の他の目的はCMP法を用いた平坦化を確実に実現可能とした半導体装置の製造方法を提供することにある。

**【0007】**

【課題を解決するための手段】 本発明の半導体装置は、絶縁膜上に所要パターンに形成された配線と、これら配線間の領域に配線と同一材料で形成されたダミー配線と、配線及びダミー配線の少なくとも上面に形成されたトップ膜と、配線とダミー配線との間に形成された層間絶縁膜とで構成されており、トップ膜の研磨レートが層間絶縁膜の研磨レートに比較して大きい構成とする。ここで、トップ膜は配線及びダミー配線の上面にのみ形成されることが好ましい。また、本発明の製造方法は、絶縁膜上に配線材料を成膜する工程と、この配線

材料をパターニングして配線とダミー配線を形成する工程と、配線及びダミー配線を含む基板全面にストップ膜を成膜する工程と、ストップ膜上に層間絶縁膜を成膜する工程と、前記ストップ膜が露出されるまで層間絶縁膜を研磨法を用いて研磨する工程を含んでいる。また、本発明の他の製造方法は、絶縁膜上に配線材料を成膜する工程と、この配線材料の上にストップ膜を成膜する工程と、ストップ膜と配線材料をパターニングして配線とダミー配線を形成する工程と、絶縁膜上の全面に層間絶縁膜を成膜する工程と、ストップ膜が露出されるまで層間絶縁膜を研磨法を用いて研磨する工程を含んでいる。

#### 【0008】

【実施例】次に、本発明について図面を参照して説明する。図1は本発明の実施例1を工程順に示す断面図であり、図2はその平面図である。先ず、図1(a)に示すように、シリコン基板11上にCVD法によりシリコン酸化膜等の絶縁膜12を成膜し、その上にアルミニウム系合金13をスパッタ法にて0.5μmの厚さに成膜する。そして、通常のリソグラフィ工程及びエッチング工程を用いてアルミニウム系合金13をパターニングし所要パターンの配線13Aを形成する。その際、本発明においては前記配線のみならず、配線間のスペースにダミー配線13Bを同時にパターニングする。

【0009】このダミー配線13Bは配線の間隔が所定寸法以上離れている場合には、必ずその間のスペースに配置する。この実施例では、配線の間隔が2μm以上離れている場合に、両配線の中間位置で、かつ配線13Aとダミー配線13Bとの間隔が0.5μm～1μm程度となるように形成する。また、このダミー配線13Bと配線13Aとの間に寄生容量が生じないように、図2にその平面パターン配置を示すようにダミー配線13Bを島状に形成する。配線間のスペースが配線に沿って長い場合には、複数個のダミー配線13Bをその長さ方向に沿って離間配置しており、この場合にはダミー配線13Bの相互の間隔も前記寸法となるように形成する。

【0010】その後、図1(b)のように、CVD法を用いて全面にストップ膜としてプラズマ塗化膜14を0.1μmの厚さに成膜する。更に、その上にCVD法を用いてシリコン酸化膜等の層間絶縁膜15を2μmの厚さに成膜する。しかる上で、図1(c)のように、CMP法を用いてプラズマ塗化膜14が露出されるまで層間絶縁膜15を研磨する。このとき、ダミー配線13Bを設けることによってその上面に設けたプラズマ塗化膜14の面積が増大されるため、CMP法を用いた研磨におけるストップ機能が十分に発揮され、ストップ時点が明確なものとなる。したがって、配線13Aが存在しない領域での層間絶縁膜15のエッチングが進行されることが防止され、また、プラズマ塗化膜14が研磨されてその下層の配線13Aやダミー配線13Bが研磨されることも防止される。これにより、層間絶縁膜15を配線

13A及びダミー配線13Bと均一な厚さに研磨することが可能となり、多層配線構造におけるグローバルな完全平坦化が達成される。

【0011】図3は本発明の実施例2を製造工程順に示す断面図である。先ず、図3(a)のように、シリコン基板21上にシリコン酸化膜等の絶縁膜22をCVD法を用いて成膜し、その上にアルミニウム系合金23をスパッタ法にて0.5μmの厚さに成膜する。更に、その上にプラズマ塗化膜24をCVD法で0.1μmの厚さに成膜する。そして、常法のリソグラフィ工程及びエッチング工程を用いて前記プラズマ塗化膜24とアルミニウム系合金23を所要パターンにエッチングし、配線23Aとダミー配線23Bを形成する。このとき、最初に図外のフォトレジストをマスクにしてプラズマ塗化膜24をパターニングし、次いでパターニングされたプラズマ塗化膜24をマスクにしてアルミニウム系合金23をパターニングし、配線23Aを形成する。その際、配線23Aのみならずダミー配線23Bも同時にパターニングする。

【0012】このダミー配線23Bは実施例1と同様であり、配線23Aの間隔が2μm以上離れている所には必ず配置し、この実施例では配線23Aとダミー配線23Bの間隔が1μm程度になるようとする。また、このダミー配線23Bは島状に形成し、配線23Aにおける寄生容量を防止し、かつダミー配線23Bの相互間隔も1μm程度になるようとする。その上で、図3(b)のように、CVD法を用いてシリコン酸化膜等の層間絶縁膜25を全面に2μmの厚さに成膜する。しかる上で、図3(c)のように、CMP法を用いて層間絶縁膜25をプラズマ塗化膜24が露出するまで研磨する。

【0013】この実施例2においても、配線23A間の間隔が大きな領域にダミー配線23Bを設けることによってその上面に設けたプラズマ塗化膜24の密度が高められるため、CMP法を用いた研磨におけるストップ機能が十分に発揮され、ストップ時点が明確なものとなり、配線23Aが存在しない領域での層間絶縁膜25のエッチングが進行されることが防止され、また、プラズマ塗化膜24が研磨されてその下層の配線23Aやダミー配線23Bが研磨されることも防止される。

【0014】また、この実施例2では、配線23Aの側面に比誘電率の高いプラズマ塗化膜24が存在していないため、配線間容量を低減することが可能となる。更に、配線をパターニングするに際しては、フォトレジストとプラズマ塗化膜、プラズマ塗化膜とアルミニウム系合金のエッチング選択比が取れることから、最初に薄いフォトレジストをマスクにしてプラズマ塗化膜24をパターニングし、次いでこのプラズマ塗化膜24をハードマスクとしてアルミニウム系合金23をパターニングすることが可能となり、結果としてフォトレジストに薄膜のものが利用でき、微細な配線パターンの形成が可能と

なる。因に、フォトレジストの膜厚が厚いと解像度の高いマスクパターンを得ることが難しく、微細な配線パターンを得ることは困難である。

【0015】ここで、前記実施例ではアルミニウム系合金で配線を形成した例を示しているが、多結晶シリコンやその他の金属で配線を形成する場合でも本発明を同様に適用することができる。また、ストップ膜としてのプラズマ窒化膜は、配線の材質や層間絶縁膜の材質によって適宜のものが選択できる。更に、ダミー配線を配置する必要がある配線間の間隔は、配線の膜厚やストップ膜の膜厚やその材質等によって適切に設定することが好ましい。

#### 【0016】

【発明の効果】以上説明したように本発明は、所要パターンに形成された配線間にダミー配線を設け、これら配線及びダミー配線の少なくとも上面にストップ膜を、また両者の間に層間絶縁膜をそれぞれ形成し、ストップ膜の研磨レートが層間絶縁膜の研磨レートに比較して大きい構成としているので、層間絶縁膜の研磨に際してはストップ膜により終点が検出でき、平坦な層間絶縁膜を形成できる。また、ストップ膜を配線及びダミー配線の上面にのみ形成することにより、配線間の容量を低減することができる。

【0017】また、本発明の製造方法は、配線材料をパターニングして配線とダミー配線を形成した後、配線及びダミー配線の少なくとも上面にストップ膜を成膜し、かつ層間絶縁膜を成膜し、その後ストップ膜が露出されるまで層間絶縁膜を研磨法を用いて研磨するため、ダミー配線の面積に相当するだけストップ膜の面積を増大

し、ストップ膜の機能を高め、層間絶縁膜や配線における過度の研磨を防止して平坦な配線構造を製造することが可能となる。また、配線材料にストップ膜を形成した上で、これらを所要パターンに形成し、層間絶縁膜を成膜してこれを研磨することにより、配線やダミー配線のパターニングに際してはストップ膜をハードマスクとして利用でき、パターニングで使用されるフォトレジストの膜厚を低減でき、微細パターンの形成が可能になるという効果もある。

#### 【図面の簡単な説明】

【図1】本発明の実施例1を製造工程順に示す断面図である。

【図2】実施例1の平面配置図である。

【図3】本発明の実施例2を製造工程順に示す断面図である。

【図4】従来のCMP法による製造方法の一例を工程順に示す断面図である。

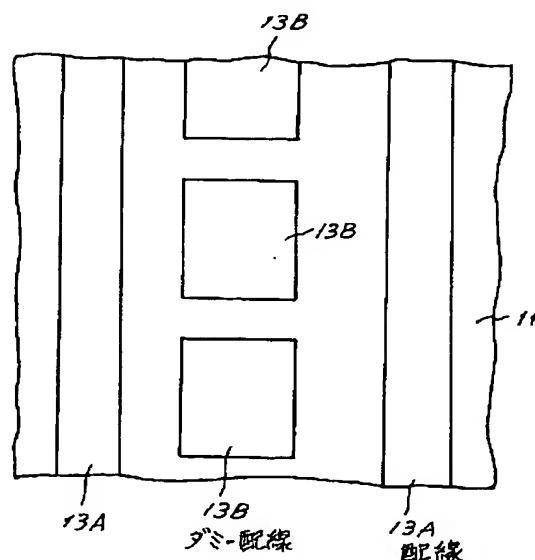
【図5】従来の製造方法の問題点を説明するための断面図である。

【図6】従来の製造方法の他の問題点を説明するための断面図である。

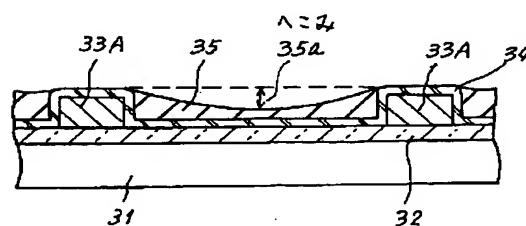
#### 【符号の説明】

- 11, 21 シリコン基板
- 13, 23 アルミニウム系合金
- 13A, 23A 配線
- 13B, 23B ダミー配線
- 14, 24 プラズマ窒化膜
- 15, 25 層間絶縁膜

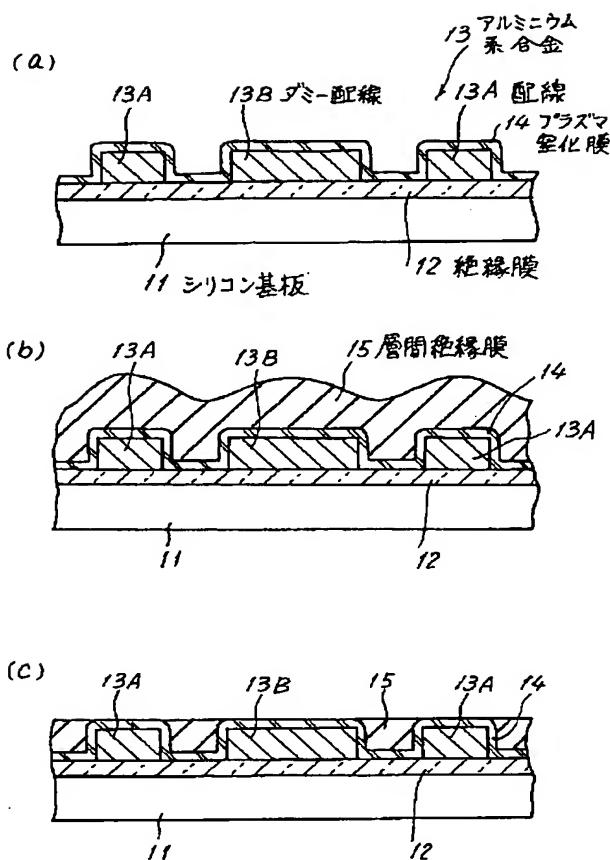
【図2】



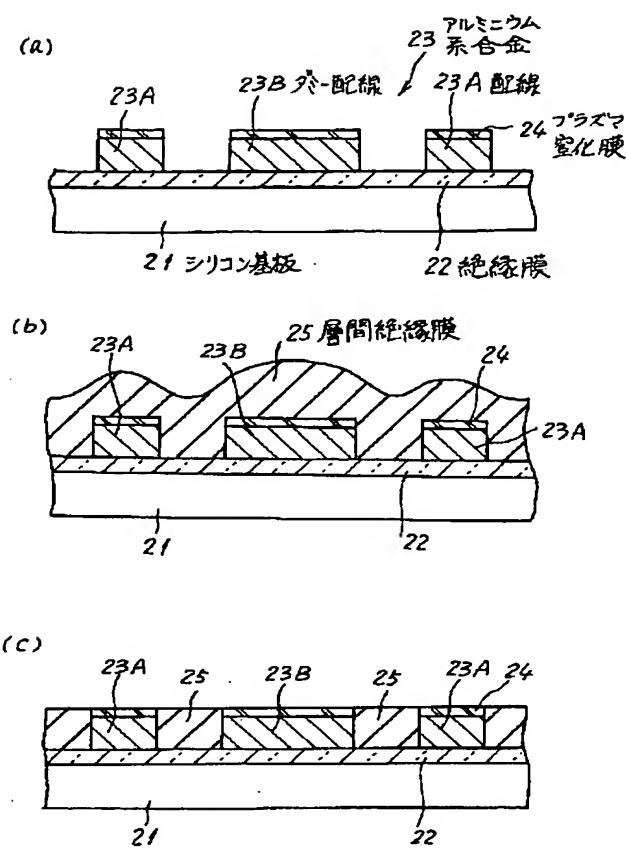
【図5】



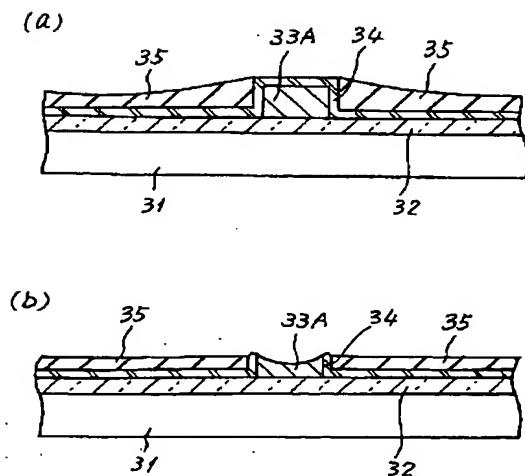
【図1】



【図3】



【図6】



【図4】

